

SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP4061690
Publication date: 1992-02-27
Inventor(s): SAKAIDA MASAHIKO
Applicant(s):: NEC CORP
Requested Patent: ☐ JP4061690
Application Number: JP19900168938 19900627
Priority Number(s):
IPC Classification: G11C11/413
EC Classification:
Equivalents:

Abstract

PURPOSE: To improve the use efficiency of a terminal by providing a first and a second CMOS inverters, and an N type MOS transistor in which its gate is connected to the mutual connecting point, its drain is connected to a control signal output terminal and its source is grounded.

CONSTITUTION: A logic circuit 2 is connected between a logic circuit power source VDD1 and a ground GND, and to this logic circuit 2, a logical circuit terminal 9 is connected. On the other hand, a memory circuit 3 is connected between a circuit power source VDD2 and the ground GND, so that its output is inputted to the logic circuit 2. That is, as for the logic circuit 2 and the memory circuit 3, the power sources are mutually independent. Also, CMOS inverters 6, 7 are connected between the memory circuit power source VDD and the ground GND. In such a way, a terminal for inputting a control signal from the outside becomes unnecessary, and the use efficiency of the terminal, and the degree of freedom of a design of the semiconductor integrated circuit can be improved.

Data supplied from the **esp@cenet** database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-61690

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月27日

G 11 C 11/413

7323-5L

G 11 C 11/34

3 3 5 A

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平2-168938

⑰ 出 願 平2(1990)6月27日

⑱ 発 明 者 境 田 正 彦 東京都港区芝5丁目7番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 藤 巻 正 憲

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) 第1の電源が供給される論理回路と、第2の電源が供給されるメモリ回路とを備え、前記メモリ回路は前記論理回路から供給される制御信号により動作状態及び保持状態のいずれか一方が設定される半導体集積回路において、前記第2の電源により駆動され前記論理回路の制御信号出力端と前記メモリ回路の制御信号入力端との間に接続された第1及び第2のCMOSインバータと、そのゲートが前記第1及び第2のCMOSインバータの相互接続点に接続されそのドレインが前記制御信号出力端に接続されそのソースが接地に接続されたN型MOSトランジスタとを有することを特徴とする半導体集積回路。

(2) 前記メモリ回路の出力は前記論理回路に入力されることを特徴とする請求項1に記載の半導体集積回路。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は論理回路及びメモリ回路を有し、前記メモリ回路の情報を保持する機能を備えた半導体集積回路に関する。

[従来の技術]

第2図は従来の論理回路及びメモリ回路を有する半導体集積回路の一例を示す回路図である。この第2図に示すように、論理回路2及びメモリ回路3は、共通電源V_{DD}と接地GNDとの間に接続されていて、相互に信号の授受が行なわれている。また、論理回路2には論理回路用端子9が接続されている。

このように構成される半導体集積回路においては、全ての入出力信号の授受は論理回路用端子9を介して行なわれる。そして、メモリ回路3の情報を保持する場合は、論理回路2を保持状態にし、この論理回路2において生成される制御信号によりメモリ回路3を保持状態にする。このように、各回路に共通した電源を使用する半導体集積回路

の場合は、回路全体を保持状態にすることにより、メモリ回路3の情報の保持を実現している。

一方、第3図に示すように、論理回路及びメモリ回路を夫々別個の電源で駆動するようにした半導体集積回路もある。この従来技術においては、論理回路2及びメモリ回路3には夫々独立した論理回路用電源 V_{DD1} 及びメモリ回路用電源 V_{DD2} が接続されている。そして、論理回路2及びメモリ回路3には夫々論理回路用端子9及びメモリ回路用端子11が接続されている。

このように構成される半導体集積回路においては、メモリ回路2にはメモリ回路用端子11を介して制御信号が供給され、この制御信号によりメモリ回路2の保持状態が設定される。このため、このように、各回路に独立した電源を使用する半導体集積回路の場合は、論理回路2を介さずにメモリ回路3だけを保持状態にすることにより、メモリ回路3の情報の保持を実現している。

〔発明が解決しようとする課題〕

しかしながら、上述した従来の半導体集積回路

においては、以下に示すような問題点がある。

先ず、第2図に示すように、電源共通方式の場合、メモリ回路3の情報を保持するだけであるにも拘らず、論理回路2も含めて回路全体を保持状態にする必要がある。このため、論理回路3で生じる漏れ電流をメモリ回路3と同程度に低減する必要がある。また、メモリ回路3の保持状態を安定させるために、論理回路2の端子9のレベルを適切に設定しなければならない。

一方、第3図に示すように、電源独立方式の場合、本来、論理回路2において生成される制御信号を外部からメモリ回路3に入力するため、メモリ回路用端子11が必要である。このため、半導体集積回路における端子の使用効率が低下してしまう。また、端子9と端子11とは接続される電源が相互に異なるため、端子の配置位置が制限され、半導体集積回路の設計の自由度が低下してしまう。

本発明はかかる問題点に鑑みてなされたものであって、制御信号を入力するための端子を設ける

ことなく、メモリ回路だけを保持状態に設定することができる半導体集積回路を提供することを目的とする。

〔課題を解決するための手段〕

本発明に係る半導体集積回路は、第1の電源が供給される論理回路と、第2の電源が供給されるメモリ回路とを有し、前記メモリ回路は前記論理回路から供給される制御信号により動作状態及び保持状態のいずれか一方が設定される半導体集積回路において、前記第2の電源により駆動され前記論理回路の制御信号出力端と前記メモリ回路の制御信号入力端との間に縦続接続された第1及び第2のCMOSインバータと、そのゲートが前記第1及び第2のCMOSインバータの相互接続点に接続されそのドレインが前記制御信号出力端に接続されそのソースが接地に接続されたN型MOSトランジスタとを有することを特徴とする。

〔作用〕

本発明においては、論理回路から出力される制御信号は第1及び第2のCMOSインバータを介

してメモリ回路に入力され、このメモリ回路は前記制御信号により動作状態及び保持状態のいずれか一方が設定される。そして、前記制御信号をハイレベルにすることにより前記メモリ回路を動作状態に設定する場合、前記第1のCMOSインバータの出力はローレベルになる。このため、N型MOSトランジスタはそのゲートにローレベルが入力されてオフ状態になる。一方、前記制御信号をローレベルにすることにより前記メモリ回路を保持状態に設定する場合、前記第1のCMOSインバータの出力はハイレベルになる。このため、前記N型MOSトランジスタはそのゲートにハイレベルが入力されてオン状態になる。これにより、前記第1のCMOSインバータの入力端は前記N型MOSトランジスタを介して接地され、ラッチ状態になる。従って、前記論理回路から供給される制御信号が不定状態になっても、前記メモリ回路はその保持状態を安定して維持することができる。

本発明によれば、メモリ回路は論理回路から供

給される制御信号により動作状態又は保持状態に設定されるので、外部から制御信号を入力するための端子を設ける必要がない。このため、端子の使用効率を向上させることができると共に、半導体集積回路の設計の自由度を向上させることができる。また、前記保持状態はN型MOSトランジスタによりラッチされるので、メモリ回路だけを保持状態に設定することができる。これにより、論理回路の漏れ電流を低減する必要がなくなる。

なお、本発明においては、メモリ回路の出力は論理回路に入力し、この論理回路を介して出力することが好ましい。この場合、端子の使用効率を更に向上させることができる。

[実施例]

次に、本発明の実施例について添付の図面を参照して説明する。

第1図は本発明の実施例に係る半導体集積回路を示す回路図である。

論理回路2は論理回路用電源 V_{DD1} と接地GNDとの間に接続されている。また、この論理回路

先ず、この半導体集積回路が動作状態であるとき、論理回路2からハイレベルの制御信号が出力される。この制御信号はCMOSインバータ6、7を介してメモリ回路3に入力され、このハイレベルの制御信号によりメモリ回路3が動作状態に設定される。このとき、N型MOSトランジスタ8はCMOSインバータ6の出力がローレベルであるため、カットオフされている。

一方、この半導体集積回路が動作を停止し、メモリ回路3の情報の保持を開始するとき、論理回路2からローレベルの制御信号が出力される。この制御信号はCMOSインバータ6、7を介してメモリ回路3に伝達され、このローレベルの制御信号によりメモリ回路3が保持状態に設定される。この場合は、CMOSインバータ6の出力がハイレベルとなるため、N型MOSトランジスタ8はオン状態になる。これにより、CMOSインバータ6の入力はN型MOSトランジスタ8を介して接地電位にショートされ、ラッチ状態になる。このため、動作の停止により電源 V_{DD1} が接地電位

2には論理回路用端子9が接続されている。一方、メモリ回路3はメモリ回路用電源 V_{DD2} と接地GNDとの間に接続されていて、その出力が論理回路2に入力されるようになっている。即ち、論理回路2とメモリ回路3とは電源が相互に独立している。CMOSインバータ6、7はメモリ回路用電源 V_{DD2} と接地GNDとの間に接続されている。このCMOSインバータ6は論理回路2から供給される制御信号を入力し、この制御信号を反転して出力する。CMOSインバータ7はCMOSインバータ6の出力を入力し、この信号を反転して出力する。メモリ回路3はCMOSインバータ7の出力を入力し、この信号により動作状態及び保持状態のいずれか一方が設定されるようになっている。N型MOSトランジスタ8は、論理回路2の制御信号出力端と接地GNDとの間に接続され、そのゲートにCMOSインバータ6の出力が入力されるようになっている。

次に、このように構成される半導体集積回路の動作について説明する。

のレベルに達し、論理回路2の出力が不定状態になっても、メモリ回路3に入力される制御信号はN型MOSトランジスタ8によりローレベルに固定されたままである。従って、メモリ回路3の保持状態を安定して維持することができる。

本実施例においては、メモリ回路3は論理回路2において生成される制御信号により動作状態又は保持状態に設定することができる。このため、従来の独立電源方式の場合とは異なって、外部から制御信号を入力するための端子を設ける必要がない。これにより、端子の使用効率を向上させることができると共に、半導体集積回路の設計の自由度を向上させることができる。また、N型MOSトランジスタ8によってCMOSインバータ6の入力をラッチすることによりメモリ回路3の保持状態を安定して維持することができる。このため、従来の共通電源方式の場合とは異なって、メモリ回路3だけを保持状態に設定することができるので、論理回路2の漏れ電流を低減する必要がなく、保持状態を安定させるために端子9のレベ

ルを設定するという必要もない。

〔発明の効果〕

以上説明したように本発明によれば、メモリ回路の保持状態をN型MOSトランジスタによりラッチするから、メモリ回路だけの保持状態を安定して維持することができる。このため、論理回路の漏れ電流を低減する必要がない。また、前記メモリ回路は前記論理回路から供給される制御信号により動作状態又は保持状態に設定するから、外部から制御信号を入力するための端子を設ける必要がない。従って、端子の使用効率を向上させることができると共に、半導体集積回路の設計の自由度を向上させることができる。

4. 図面の簡単な説明

第1図は本発明の実施例に係る半導体集積回路を示す回路図、第2図は従来の半導体集積回路の一例を示す回路図、第3図は従来の他の半導体集積回路を示す回路図である。

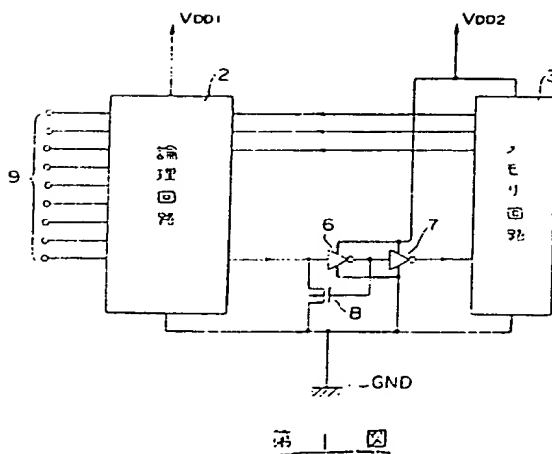
2；論理回路、3；メモリ回路、6、7；CMOSインバータ、8；N型MOSトランジスタ、

9；論理回路用端子、11；メモリ回路用端子、
V_{DD}；共通電源、V_{DD1}；論理回路用電源、
V_{DD2}；メモリ回路用電源、GND；接地

出願人 日本電気株式会社

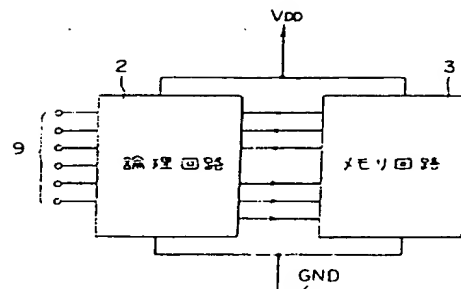
代理人 弁理士 藤巻正憲

6, 7; CMOSインバータ
8; N型MOSトランジスタ
9; 論理回路用端子
V_{DD1}; 論理回路用電源
V_{DD2}; メモリ回路用電源
GND; 接地

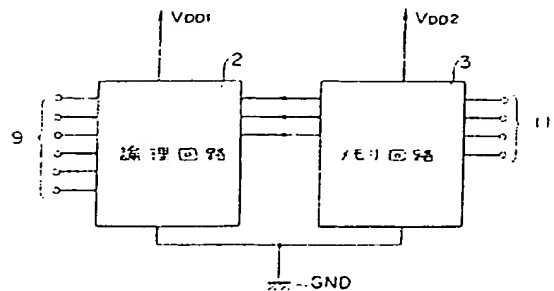


第1図

9; 論理回路用端子
11; メモリ回路用端子
V_{DD}; 共通電源
V_{DD1}; 論理回路用電源
V_{DD2}; メモリ回路用電源
GND; 接地



第2図



第3図